

Monolithic integrated DA convertor with bipolar transistors.

Publication number: EP0074436

Publication date: 1983-03-23

Inventor: LANG MANFRED

Applicant: ITT IND GMBH DEUTSCHE (DE); ITT (US)

Classification:

- international: H03M1/68; H03M1/00; H03M1/68; H03M1/00; (IPC1-7):
H03K13/05

- European: H03M1/00

Application number: EP19810201007 19810910

Priority number(s): EP19810201007 19810910

Also published as:

JP58054728 (A)
EP0074436 (B1)

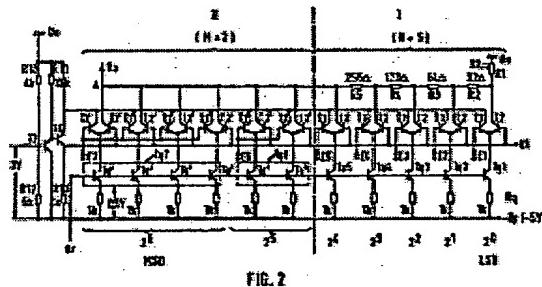
Cited documents:

US3890611
FR2291649
DE2532580
GB2069265
FR2404957

[Report a data error here](#)

Abstract of EP0074436

1. Monolithic integrated D/A converter comprising bipolar current-source transistors (T_q) whose base regions are jointly connected to a reference voltage (U_r) and whose emitter regions are each connected through an emitter resistor (R_q) to a forward-voltage source (-Up) and which consist in part of similar current-source transistor units and whose individual collector regions are connected to the emitters of at least one pair of bipolar switching transistors which serve to switch the currents of the individual current-source transistors (T_q) between ground potential (U_0) and the output (A) and consist in part of pairs of similar switching-transistor units, with - the base terminals of the first transistors (T_1) of the switching-transistor pairs connected each to one of the bit lines (E), - the collector terminals of these first transistors connected jointly to ground potential (U_0), - the base terminals of the second transistors (T_2) of the switching-transistor pairs connected jointly to the output of a voltage source (U_t), and - the collector terminals of the second transistors connected to the output (A) of the converter, characterized in that - the converter is divided into a first N-bit converter section (I) with weighted resistors and a second M-bit converter section (II) with weighted currents, in which second converter section (II) the collector terminals of the second transistors (T_2') are all together connected directly to the output (A) of the converter, - in the first converter section (I), n resistors are connected in series between ground potential (U_0) and the output (A), the first of which (R_1) has a value of R_0 , while the other (R_2-R_n) have the values $R_n=2^{**n}-2 \cdot R_0$ for $n=2$, and - each of the nodes of the n resistors ($R_1 \dots R_n$) is connected to the collector terminal of the second transistor (T_2) of one of the switching-transistor pairs, while that terminal of the last resistor (R_n) located on the output side is connected to the output (A) directly and to the collector of the second transistor (T_2) of the nth



switching-transistor pair, so that the collectors of the second transistors (T2) in the first converter section (I), with the exception of that at the output end, are connected to the output (A) through at least one of the resistors R2 to Rn.

Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-54728

⑫ Int. Cl.³
H 03 K 13/05

識別記号
102

厅内整理番号
7530-5J

⑬ 公開 昭和58年(1983)3月31日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ バイポーラトランジスタによるモノリシック
集積D/Aコンバータ

ソツインゲン・プライテンフェ
ルトシユトラーセ27

⑮ 特 願 昭57-157969

⑯ 出 願 昭57(1982)9月10日

アイティーティ・インダストリ

優先権主張 ⑰ 1981年9月10日 ⑲ 西ドイツ
(DE)⑳ 81201007.2

アメリカ合衆国ニューヨーク州
10022ニューヨーク・パーク・
アヴェニュー320

㉑ 発明者 マンフレッド・ランク
ドイツ連邦共和国デ-7832ケ

㉒ 代 理 人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

バイポーラトランジスタによるモノリシック
集積D/Aコンバータ

2. 特許請求の範囲

(1) ベース領域が基準電圧 (U_0) に接続され、エミッタ領域がそれぞれエミッタ抵抗 (R_q) を通って該エミッタ領域に対する順方向電圧源 ($-U_p$) に接続されているバイポーラ電流源トランジスタ (T_q) を具備し、それ等トランジスタ (T_q) は並列接続された同様の電流源トランジスタユニットの一部を構成し、それ等の個々のコレクタ領域は電流源トランジスタ (T_q) の個々の電流を接地電位 (U_0) と出力端子 (A) との間で開閉し、並列接続された同様のスイッティングトランジスタユニットの対の一部を構成する少なくとも1対のバイポーラスイッティングトランジスタのエミッタに接続されており、スイッティングトランジスタ対の第1のトランジスタのベース端子はそれぞれビット組の1つに接続さ

れ、それ等第1のトランジスタのコレクタ端子は接地電位 (U_0) に接続され、スイッティングトランジスタ対の第2のトランジスタのベース端子は電源の出力端子に接続され、第2のトランジスタのコレクタ端子はコンバータの出力端子 (A) に接続されているモノリシック集積D/Aコンバータにおいて、

コンバータは重み付け抵抗を有するNビットの第1のコンバータ・セクション(I)と、電流の重み付けを有するMビットの第2のコンバータ・セクション(II)とに分割され、第2のコンバータ・セクション(II)においては第2のトランジスタ ($T_{2'}$) のコレクタ端子は直接コンバータの出力端子 (A) に接続され；

重み付け抵抗を有する第1のコンバータ・セクション(I)においてはn個の抵抗が接地電位 (U_0) と出力端子 (A) との間に直列に接続され、その第1の抵抗 (R_1) の抵抗値 R_0 に対して他の抵抗 ($R_2 \dots R_n$) は $R_n = 2^{n-2} \cdot R_0$ の抵抗値 (ただし $n = 2$ ないし n) を有しており；

特開昭58- 54728(2)

前記 n 個の抵抗 ($R_1 \dots R_n$) の各接続点はスイッティングトランジスタ対の 1 つの第 2 のトランジスタ (T_2) のコレクタ端子に接続され、出力端子側に位置する最後の抵抗 (R_n) の端子は直接出力端子 (W) に接続されると共に n 番目のスイッティングトランジスタ対の第 2 のトランジスタ (T_{2n}) のコレクタに接続されそれにより出力端にあるものを除いて第 1 のコンバータ・セクション (I) の第 2 のトランジスタ (T_2) のコレクタは抵抗 (R_2 ないし R_n) の少なくとも 1 個を通って出力端子 (W) に接続されていふことを特徴とするモノリシック集積 D/A コンバータ。

(2) 第 3 番目以下の抵抗 ($R_3, R_4 \dots R_n$) が、 R_2 と異なる抵抗値を有し、抵抗値 R_2 の第 1 の抵抗 (R_1) と同一寸法、同一不純物分布を有する抵抗値 R_2 の同様の抵抗の直列接続により構成されていることを特徴とする特許請求の範囲第 1 項記載の D/A コンバータ。

(3) スイッティングトランジスタおよびスイッ

- 3 -

不純物分布を有することを特徴とする特許請求の範囲第 1 項ないし第 4 項のいずれか記載の D/A コンバータ。

(4) 電流の重み付けを有する第 2 のコンバータ・セレクション (II) のスイッティングトランジスタ対が同一寸法、同一不純物分布を有する同様のトランジスタ (T_1', T_2') の並列接続された対で構成されていることを特徴とする特許請求の範囲第 1 項ないし第 5 項のいずれか記載の D/A コンバータ。

(7) N が 5 であり、M が 2 であることを特徴とする特許請求の範囲第 1 項ないし第 6 項のいずれか記載の D/A コンバータ。

3. 発明の詳細を説明

〔発明の技術的背景〕

この発明は MHz 較めて高周波デジタル・アナログ (以下 D/A と記載する) 変換を行なうための、電源トランジスタおよびスイッティングトランジスタとしてバイポーラトランジスタを使用した集積された D/A コンバータに関するも

チングトランジスタユニット ($T_1, T_2; T_1', T_2'$) の各対が電流源トランジスタユニット ($T_{q1} \dots T_{qn}; T_{q1}'$) の 1 つと直列に接続され、電流源トランジスタ ($T_{q1} \dots T_{qn}$) および電流源トランジスタユニット (T_{q1}') のエミッタ端子が等しい値の抵抗 (R_q) を介して順方向電圧源 ($-U_p$) に接続されていることを特徴とする特許請求の範囲第 1 項または第 2 項記載の D/A コンバータ。

(4) 共通ベース接続形式で動作される第 2 のトランジスタ (T_2, T_2') のベース端子が接地電位 (U_0) に対して無限に低い内部抵抗の電圧源の出力端子に接続されていることを特徴とする特許請求の範囲第 1 項ないし第 3 項のいずれか記載の D/A コンバータ。

(6) 一方ではスイッティングトランジスタユニット対 (T_1', T_2') およびスイッティングトランジスタ対 (T_1, T_2) が、また他方では電流源トランジスタ (T_q) および電流源トランジスタユニット (T_{q1}') が互に同一寸法および同一

- 4 -

である。一般によく知られているようにモノリシック集積回路においてはそのようなコンバータの形式を選択するファクタの 1 つは半導体ウエハ上の必要面積量である。何故ならば単位ウエハ当たりの利益は必要面積量が少なくなるほど増加するからである。

重みを付した電流源を備えた形式の D/A コンバータに対して、この問題は西ドイツ特許公報 DE-A 2803099 号においては、電流源の重み付けに対応する同様の並列接続された成る数の電流源トランジスタのみならず、同様に並列接続された同様のスイッティングトランジスタユニットから成るスイッティングトランジスタを使用することによって解決されている。ここに使用されている「同様」とは各領域が同時に製作されるときに得られるような同一寸法、同一不純物分布プロフィル (ドーピングプロフィル) を有する半導体装置の場合は意味するものである。

重みを付した電流源形式の D/A コンバータ

- 6 -

特開昭58- 54728(3)

小さくなるようにしなければならない。そのような回路網はコンバータの周波数範囲を制限する。

また、高速 D/A コンバータにおいては故障を生じないようにするためにビット当りのスイッチング時間を等しくすることが望ましい。それ故、この問題の解決はこの発明の技術的範囲に含まれる。

【発明の概要】

この発明の目的は、特に 5 以上のビット数に対して通常のコンバータの前述の欠点を大幅に避けることのできる出力における R/C 構ができるだけ小さいモノリシック集積 D/A コンバータを提供することである。

この発明は、Eugene R. Hnatek 著「ユーザ用 D/A および A/D コンバータ・ハンドブック」(1976年)第106頁第4/19図に示されたモノリシック集積 D/A コンバータを発展させたものであり；そのコンバータは同様の並列接続された電流源トランジスタユニットの一部を

- 8 -

【発明の実施例】

以下の発明を添付図面を参照に詳細に説明する。

図1 図にはこの発明のコンバータと類似している従来の技術による D/A コンバータが示されており、それはバイポーラ電流源トランジスタ T_{q1} ないし T_{q4} を具備し、LSB (最低桁ビット)に対する電流源トランジスタを除いて電流分配のための電流源トランジスタユニット $T_{q'}$ に分けられている。電流源トランジスタ T_{q1} ないし T_{q4} および電流源トランジスタユニット $T_{q'}$ のベース領域は基準電圧 U_r に接続され、それによってスイッチング電流の大きさ、したがってコンバータの出力電圧 V_o が固定される。電流源トランジスタ T_{q1} ないし T_{q4} のエミッタ領域は異なる値のエミッタ抵抗 R_q を通って pnp 電流源トランジスタ T_{q1} ないし T_{q4} に関しては正の極性の電源 $+U_p$ に接続されている。各電流源トランジスタのコレクタはバイポーラ・スイッチングトランジスタ $T_1, T_2; T_1', T_2'$ 対

は約 5 ビット程度の小さいビット数に対してさえも所要面積量したがってキャパシタンスが高速 D/A 変換に対して大きくなる欠点を生じる。同じことは U. Tietze やおよび Ch. Schenk 両氏著「Halbleiter-Schaltungstechnik」(1980年) 第635ないし第637頁に記載された抵抗回路網を具備する D/A コンバータについても云うことができる。もしもこの形式の D/A コンバータがモノリシック集積回路技術を使用して構成されるならば、抵抗を実現するために必要な面積量は、單調なコンバータ特性を得るために同じ構造および不純物濃度プロファイルの並列成は直列接続された抵抗が使用される場合にはビット数の増加および R/C 構と共に増加する。

回路網中の多数の抵抗のために大きな面積が必要なモノリシック集積 D/A コンバータは P/N 接合容量だけを考えても動作が遅くなることは明らかである。高速 D/A コンバータにおいてはコレクタ回路中の個々の電圧の合計は R/C 梯子 (ladder) 回路網に対する影響ができるだけ

- 7 -

構成するバイポーラ電流源トランジスタを具備し、それ等のベースは基準電圧に接続されている。このモノリシック集積 D/A コンバータにおいては差動増幅器を構成する 1 対のバイポーラスイッチングトランジスタのそれぞれの第 2 のトランジスタのコレクタ端子は直接コンバータの出力端子に接続されている。それに対して、この発明によるコンバータにおいてはバイポーラスイッチングトランジスタ対の第 2 のトランジスタの全コレクタ端子はコンバータ出力端子へ直接接続されていない。

この発明の基本的なアイディアは、半導体ウェハ上の所要面積量を減少させるためにコンバータを直み付け抵抗を有する第 1 のコンバータ・セクションと直み付けされた電流を有する第 2 のコンバータ・セクションに分割した点にある。

この発明によれば、出力端子における R/C 構の小さいモノリシック集積 D/A コンバータを提供するという上述の目的は特許請求の範囲第 1 項に記載した構成により達成される。

- 9 -

-129-

-10-

用することを止めることはできない。

従来のコンバータは別の欠点も有している。それはスイッチングトランジスタユニット T₁，T₂；T_{1'}，T_{2'}が等しい電流を開閉せず、そのため異なるスイッチング時間が得られることである。しかしながら故障が生じないようにするためには等しいスイッチング時間が必要である。

それに比較して、第2図に示すこの発明の D/Aコンバータはピット当たり等電流を開閉することができる。何故ならば同様のスイッチングトランジスタユニットおよびスイッチングトランジスタ T_{1'}，T_{2'}および T₁，T₂は同様の電流源トランジスタユニット或は電圧源トランジスタ T_{q'}および T_qないし T_{qs}からの等しい電流を開閉するからであり、それ等電流源トランジスタユニットおよび電流源トランジスタのエミッタ端子は等しい値の抵抗 R_qを介して負荷電圧源 -U_pに接続される。

従来のコンバータに比較してこの発明による

-12-

に接続され、これ等各スイッチングトランジスタ対は差動増幅器を構成している。電流分配のためにスイッチングトランジスタ T₁，T₂の対もスイッチングトランジスタユニット T_{1'}，T_{2'}対に分けられている。一方各対の第1のトランジスタ T₁，T_{1'}のベース端子はピット端子に接続され、第2のトランジスタ T₂，T_{2'}のベース端子はしきい値電圧 U_tに接続され、そのしきい値電圧はスイッチングトランジスタ対で形成された差動増幅器のスイッチング電圧を決定する。したがって、電流源トランジスタ T_qの個々の電流は接地電位 U_oにあるラインとコンバータの出力 Aとの間に切り換えられる。

第1図から明らかのように従来のモノリシック集積 D/Aコンバータに必要な面積の量が、同様のトランジスタユニットおよび抵抗ユニットだけを使用するという原則に従う限りはピット数の増加と共に指數関数的に増加する。しかしながらもしも単調な特性が得られなければならぬ場合にはそのような同様なユニットを使

-11-

コンバータにおいては、重みを付された抵抗を備えた N ピットの第1のコンバータ・セクション I と、重みを付された電流を有する M ピットの第2のコンバータセクション II とにコンバータを分割することによって所要面積量を著しく減少させることが可能である。一方第2のコンバータ・セクション II の第2のトランジスタ T_{2'}のコレクタ端子は直接コンバータの出力端子 A に接続され、第1のコンバータセクション I の対応する第2のトランジスタ T₂のコレクタ端子は出力端子の 1 個を除いて抵抗 R₂ないし R₀（第2図の実施例では R₂ないし R₀）の少なくとも 1 個を通してこの出力端子 A に接続される。抵抗 R₂ないし R₀は抵抗 R₁と共に接地電位 U_oと出力端子 A との間に直列に接続され、それ等の抵抗の値は R_n = 2ⁿ⁻² · R₀になるように選ばれている。ここで n は 2 ないし M であり、R₀は抵抗 R₁の値である。5 ピットのコンバータ・セクション I に対しては R₁ = 32 Ω， R₂ = 32 Ω， R₃ = 64 Ω， R₄ = 128 Ω。

-13-

R₅ = 256 Ω の 5 個の抵抗が設けられ、それ等の接続点にスイッチングトランジスタ対の 1 つの第2のトランジスタ T₂のコレクタ端子が接続されている。最後の抵抗 R₅の出力端子 A 側の端子は直接出力端子 A に接続されると共にスイッチングトランジスタの第 5 番目の対の第 2 のトランジスタのコレクタに接続されている。

順次変化した値の n 個の直列接続された抵抗の代りに R₁ ～ R₅ 回路網を使用することが知られている。何故ならばそのような回路網は同様の抵抗によって容易に製造することができ、それ故製造の際の変動がピット値に同じように影響するからである。同様の効果はこの発明のコンバータの第1のコンバータ・セクション I 中の抵抗 R₃ないし R₅のそれぞれを置換することによって得ることができる。それ等の値は抵抗 R₀の同じ抵抗の直列配置によって R₀ と異なる値にされる。

第2図の実施例においてスイッチングトランジスタ T₁，T₂の各対およびトランジスタ

-14-

-130-

$T_{1'}$, $T_{2'}$ の各対は電流源トランジスタ T_q ないし T_{qS} の 1 つおよび電流源トランジスタユニット $T_{q'}$ の 1 つとそれぞれ直列に接続されている。さらに、電流源トランジスタ T_q ないし T_{qS} および電流源トランジスタユニット $T_{q'}$ のエミッタ端子は等しい値の抵抗 R_q を介して負極性電圧源 $-U_p$ に接続されている。したがって全スイッチングトランジスタ T_1 , T_2 およびスイッチングトランジスタユニット $T_{1'}$, $T_{2'}$ は等しい内部抵抗を通る同じ電流を閉鎖する。何故ならばそれ等は同一寸法、同一不純物プロファイルのものであるからである。これはスイッチング時間の同一性を確保し、そのため故障は最小の値まで減少する。

既知の $R/2R$ 回路網の代りにこの発明によるコンバータ・セクションにおいて直列接続の抵抗 R_2 ないし R_n を使用することとは別の効果を生じる。すなわち入力端子 E_1 ないし E_2 にビットが供給される際の変化の場合にチャージされ或はその電荷が逆転されなければならない

-15-

物分布に製作される。これはそれ等の領域が同時に形成されることを意味する。適当な製造技術は例えばいわゆる 3D 技術であり、それにおいては領域に対する不純物は 3 回の順次マスクライオノン注入処理によって沈着され、沈殿に続く拡散処理中に同時に半導体中に導入される (Electronics, 1975 年 6 月 7 日号第 101 ないし 106 頁参照)。同様の方法によって第 2 のコンバータ・セクションのスイッチングトランジスタ対も製作される。それ等は同一寸法、同一不純物分布を有する並列接続された同様のトランジスタ T_1' および T_2' の対から形成される。

この発明は第 1 の、 5 ビットコンバータ・セクション I と第 2 の、 2 ビットコンバータ・セクション II を有するモノリシック集成 D/A コンバータに特に有利に利用できる。通常のコンバータと比較して、この発明によるそのような 7 ビットコンバータは半導体ウエハ上の必要面積の量を著しく減少させることができる。

-17-

特願昭 58-54728(6)

P/N 接合容量が非常に低くなるように構成することを可能にする。第 2 図の実施例においては、この発明による D/A コンバータは、トランジスタ T_3 および T_4 ならびに抵抗 R_{10} , R_{11} , R_{12} , R_{13} により構成され、接地電位 U_0 に関して無限に低い内部抵抗を有する電圧源を具備している。この電圧源はしきい値電圧 U_t を発生し、それはスイッチングトランジスタ対の第 2 のトランジスタ T_2 , T_2' のベースに供給される。電圧源の無限に低い内部抵抗のために、共通ベース接続形式で動作する第 2 のトランジスタのベースは実質的に接地電位に接続されて高周波に対する通路を与える。第 2 の抵抗を通してスイッチの入力に及ぼす電圧の作用を無視できるようになる。

前述の説明から明らかのように、一方ではスイッチングトランジスタユニット T_1' , T_2' 対およびスイッチングトランジスタ T_1 , T_2 対、他方では電流源トランジスタ T_q および電流源トランジスタユニット $T_{q'}$ は同一寸法、同一不純物

-16-

4. 図面の簡単な説明

第 1 図はこの発明の基礎となっている従来の D/A コンバータの回路図であり、第 2 図はこの発明によるモノリシック集成 D/A コンバータの I 実施例の回路図である。

T_q … 電流源トランジスタ、 $T_{q'}$ … 電流源トランジスタユニット T_1 , T_2 … スイッチングトランジスタ、 $T_{1'}$, $T_{2'}$ … スイッチングトランジスタユニット、 R_q … エミッタ抵抗。

出願人代理人弁理士鈴江武彦

-18-

-131-

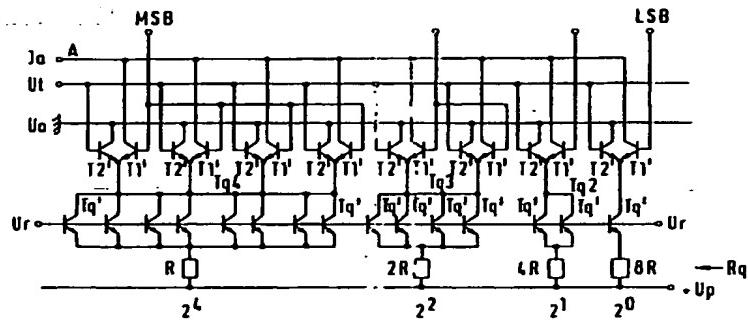


FIG. 1

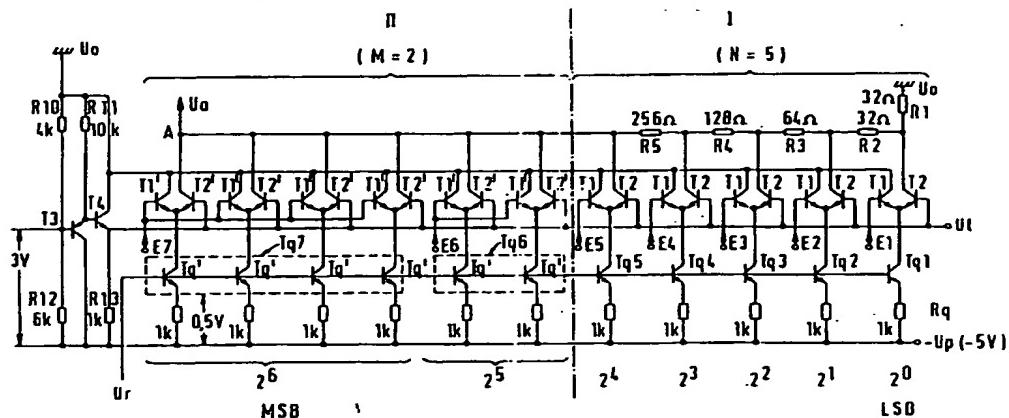


FIG. 2